

日本国特許庁
JAPAN PATENT OFFICE

J1036 U.S. PRO
09/988194
11/19/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年10月18日

出願番号

Application Number:

特願2001-320332

出願人

Applicant(s):

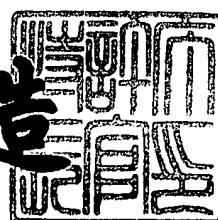
日本ビクター株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月 2日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願
 【整理番号】 413001134
 【提出日】 平成13年10月18日
 【あて先】 特許庁長官殿
 【国際特許分類】 H04N 7/01
 H04N 7/015
 H04N 5/46
 H04N 5/45
 【発明者】
 【住所又は居所】 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内
 【氏名】 湯上 昌郁
 【特許出願人】
 【識別番号】 000004329
 【氏名又は名称】 日本ビクター株式会社
 【代表者】 寺田 雅彦
 【電話番号】 045-450-2423
 【先の出願に基づく優先権主張】
 【出願番号】 特願2000-352360
 【出願日】 平成12年11月20日
 【手数料の表示】
 【予納台帳番号】 003654
 【納付金額】 21,000円
 【提出物件の目録】
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 映像表示装置

【特許請求の範囲】

【請求項1】

有効走査線数480本のインターレース信号と、有効走査線数1080本のインターレース信号と、有効走査線数480本のプログレッシブ信号と、有効走査線数720本のプログレッシブ信号との内のいずれかである第1の映像信号を出力する第1の映像信号供給源と、有効走査線数480本のインターレース信号であり、アスペクト比4:3の第2の映像信号を出力する第2の映像信号供給源と、アスペクト比16:9の表示部とを有する映像表示装置において、

前記第1の映像信号を、有効走査線数1440本のインターレース信号である第3の映像信号に変換する変換手段と、

前記第2の映像信号の走査線を周期的に間引くことなく、水平方向の画素を周期的に間引くことにより、前記第2の映像信号を水平方向に縮小する縮小手段と

前記第1の映像信号を前記表示部の水平方向の一方の端部に配置し、その残りの領域に前記縮小手段によって縮小した前記第2の映像信号を配置するよう合成する画面合成手段とを備えて構成したことを特徴とする映像表示装置。

【請求項2】

前記第2の映像信号供給源をチューナとし、このチューナの受信チャンネルを順次切り換えることにより、前記第2の映像信号を順次異ならせるチャンネル切換手段と、

チャンネル切換前の2チャンネル分の映像信号であり、前記縮小手段によって縮小した前記第2の映像信号を静止画として記憶する記憶手段とをさらに備え、

前記画面合成手段は、前記第1の映像信号を前記表示部の水平方向の一方の端部に配置し、その残りの領域に、前記縮小手段によって縮小した現在の受信チャンネルの映像信号と前記2チャンネル分の映像信号との3つの映像信号を垂直方向に並べて配置するよう合成することを特徴とする請求項1記載の映像表示装置

【請求項3】

有効走査線数480本のインターレース信号と、有効走査線数1080本のインターレース信号と、有効走査線数480本のプログレッシブ信号と、有効走査線数720本のプログレッシブ信号との内のいずれかである第1の映像信号を出力する第1の映像信号供給源と、有効走査線数480本のインターレース信号であり、アスペクト比4：3の第2の映像信号を出力する第2～4の映像信号供給源と、アスペクト比16：9の表示部とを有する映像表示装置において、

前記第1の映像信号を、有効走査線数1440本のインターレース信号である第3の映像信号に変換する変換手段と、

前記第2～第4の映像信号の走査線を周期的に間引くことなく、水平方向の画素を周期的に間引くことにより、前記第2の映像信号を水平方向に縮小する縮小手段と、

前記第1の映像信号を前記表示部の水平方向の一方の端部に配置し、その残りの領域に前記縮小手段によって縮小した前記第2～第4の映像信号を垂直方向に並べて配置するよう合成する画面合成手段とを備えて構成したことを特徴とする映像表示装置。

【請求項4】

有効走査線数480本のインターレース信号である第1の映像信号を出力する少なくとも1つの映像信号供給源を有する映像表示装置において、

有効走査線数1440本のインターレース信号である第2の映像信号を表示可能な表示部と、

前記第1の映像信号の走査線を周期的に間引くことなく、かつ、走査線を増加させることなく、前記第1の映像信号の実質的に全ての走査線を前記第2の映像信号の一部として割り当てて、前記表示部に表示するよう駆動する駆動部とを備えて構成したことを特徴とする映像表示装置。

【請求項5】

有効走査線数480本のインターレース信号である動画または静止画の第1～第3の映像信号を出力する映像信号供給源を有する映像表示装置において、

有効走査線数1440本のインターレース信号である第4の映像信号を表示可

能な表示部と、

前記第1～第3の映像信号の走査線を周期的に間引くことなく、かつ、走査線を増加させることなく、前記第1～第3の映像信号の実質的に全ての走査線を前記第4の映像信号に割り当てるにより、前記第1～第3の映像信号を垂直方向に並べて前記表示部に表示するよう駆動する駆動部とを備えて構成したことを特徴とする映像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のフォーマットの映像信号を表示するのに好適な映像表示装置に関する。

【0002】

【従来の技術】

近年、テレビジョン受像機等の映像表示装置においては、デジタル放送の開始に伴って、複数のフォーマットの映像信号を表示する必要性が生じている。映像信号のフォーマットとしては、全走査線数525本、有効走査線数480本のインターレース(480i)、全走査線数1125本、有効走査線数1080本のインターレース(1080i)、全走査線数525本、有効走査線数480本のプログレッシブ(480p)、全走査線数750本、有効走査線数720本のプログレッシブ(720p)がある。

【0003】

これらのフォーマットにおいては、垂直周波数は同一であるが、1フィールド当たりの有効走査線数は、480iでは $480/2$ 本、1080iでは $1080/2$ 本、480pでは480本、720pでは720本と、それぞれ異なっている。一方、水平周波数は、480iでは15.75kHz、1080iでは33.75kHz、480pでは31.5kHz、720pでは45kHzと、それぞれ異なっている。

【0004】

映像表示装置において、これらの複数のフォーマットの映像信号を全て表示し

ようとした場合、映像表示装置の水平走査周波数を、15.75 kHz, 33.75 kHz, 31.5 kHz, 45 kHzで切り換えることが考えられる。この場合、映像表示装置は、4種類の水平走査周波数に対応させなければならない。
480iの映像信号をインターレースープログレッシブ(I-P)変換によって480pの映像信号とすれば、3種類の水平走査周波数に対応させればよい。これでも3種類の水平走査周波数に対応させる必要があるので、映像表示装置に表示するフォーマットとして、1080iに統一することも検討されている。

【0005】

【発明が解決しようとする課題】

上記のように、映像表示装置において複数のフォーマットの映像信号に対応させるには、例えば陰極線管(CRT)を用いた表示装置の場合では、フォーマット毎にCRTの同期を変更する必要があり、偏向回路にて大きな電圧変動が生じて偏向回路に大きな負荷がかかる。CRTを用いない表示装置においても、複数のフォーマットの映像信号に対応させることは、駆動回路にとって大きな負担となる。

【0006】

また、フォーマットが切り替わるたびに同期を取り直さなければならぬので、品位上の問題から、画面上の映像の表示を一時的にマスク(ブランкиング)する必要がある。よって、映像表示装置の制御動作が煩雑化すると共に、一時的に映像が表示されないという不具合を招くこととなる。このように、映像表示装置において複数のフォーマットの映像信号に対応させることは、各種の不具合を招いてしまう。

【0007】

そこで、これらの問題点を解決するには、映像表示装置に表示するフォーマットを1080iに統一すればよい。しかしながら、フォーマットを1080iに統一すると、次のような不具合がある。480iを1080iに変換すると、走査線数は9/4倍となり、720pを1080iに変換すると、走査線数は3/4倍となる。従って、フォーマットを1080iに統一すると、フォーマット変換の処理として、走査線数の拡大と縮小とが混在することになり、フォーマット

変換の処理回路を構成する補間フィルタのハードウェア規模が大きくなってしまう。

【0008】

本発明はこのような問題点に鑑みなされたものであり、複数のフォーマットの入力映像信号を、実用上最も優れた单一のフォーマットに変換することができる映像表示装置を提供することを目的とする。また、ハードウェア規模や信号処理の煩雑さの増大を最小限に抑えつつ、極めて高画質の映像を表示することができる映像表示装置を提供することを目的とする。さらに、マルチ画面を極めて高画質に表示することができる映像表示装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明は、上述した従来の技術の課題を解決するため、次の構成を提供する。

(a) 有効走査線数480本のインターレース信号と、有効走査線数1080本のインターレース信号と、有効走査線数480本のプログレッシブ信号と、有効走査線数720本のプログレッシブ信号との内のいずれかである第1の映像信号を出力する第1の映像信号供給源(122)と、有効走査線数480本のインターレース信号であり、アスペクト比4:3の第2の映像信号を出力する第2の映像信号供給源(123)と、アスペクト比16:9の表示部(130)とを有する映像表示装置において、前記第1の映像信号を、有効走査線数1440本のインターレース信号である第3の映像信号に変換する変換手段(1000)と、前記第2の映像信号の走査線を周期的に間引くことなく、水平方向の画素を周期的に間引くことにより、前記第2の映像信号を水平方向に縮小する縮小手段(1000)と、前記第1の映像信号を前記表示部の水平方向の一方の端部に配置し、その残りの領域に前記縮小手段によって縮小した前記第2の映像信号を配置するよう合成する画面合成手段(1000)とを備えて構成したことを特徴とする映像表示装置。

(b) 有効走査線数480本のインターレース信号と、有効走査線数1080本のインターレース信号と、有効走査線数480本のプログレッシブ信号と、有効走査線数720本のプログレッシブ信号との内のいずれかである第1の映像信号

を出力する第1の映像信号供給源(122)と、有効走査線数480本のインターレース信号であり、アスペクト比4:3の第2の映像信号を出力する第2～4の映像信号供給源(123, 126, 127)と、アスペクト比16:9の表示部(130)とを有する映像表示装置において、前記第1の映像信号を、有効走査線数1440本のインターレース信号である第3の映像信号に変換する変換手段(1000)と、前記第2～第4の映像信号の走査線を周期的に間引くことなく、水平方向の画素を周期的に間引くことにより、前記第2の映像信号を水平方向に縮小する縮小手段(1000)と、前記第1の映像信号を前記表示部の水平方向の一方の端部に配置し、その残りの領域に前記縮小手段によって縮小した前記第2～第4の映像信号を垂直方向に並べて配置するよう合成する画面合成手段(1000)とを備えて構成したことを特徴とする映像表示装置。

(c) 有効走査線数480本のインターレース信号である第1の映像信号を出力する少なくとも1つの映像信号供給源(122, 123, 126, 127)を有する映像表示装置において、有効走査線数1440本のインターレース信号である第2の映像信号を表示可能な表示部(130)と、前記第1の映像信号の走査線を周期的に間引くことなく、かつ、走査線を増加させることなく、前記第1の映像信号の実質的に全ての走査線を前記第2の映像信号の一部として割り当てて、前記表示部に表示するよう駆動する駆動部(131)とを備えて構成したことを特徴とする映像表示装置。

(d) 有効走査線数480本のインターレース信号である動画または静止画の第1～第3の映像信号を出力する映像信号供給源(122, 123, 50)を有する映像表示装置において、有効走査線数1440本のインターレース信号である第4の映像信号を表示可能な表示部(130)と、前記第1～第3の映像信号の走査線を周期的に間引くことなく、かつ、走査線を増加させることなく、前記第1～第3の映像信号の実質的に全ての走査線を前記第4の映像信号に割り当てるにより、前記第1～第3の映像信号を垂直方向に並べて前記表示部に表示するよう駆動する駆動部(131)とを備えて構成したことを特徴とする映像表示装置。

【0010】

【発明の実施の形態】

以下、本発明の映像表示装置について、添付図面を参照して説明する。図1は本発明の映像表示装置で用いる映像信号処理装置の構成例を示すブロック図、図2は480p, 720p, 1080pから1440pへの走査線変換を示す図、図3は補間フィルタの構成例を示すブロック図、図4は480p, 720p, 1080pから1440pへの走査線変換における位相のオフセットを示す図、図5はプログレッシブ－インターレース変換を示す図、図6はマルチ画面の表示例を示す図、図7は図6に示すマルチ画面を実現する場合の映像信号処理装置の構成例を示すブロック図、図8は本発明の映像表示装置の一実施形態を示すブロック図である。

【0011】

本発明の映像表示装置は、入力された映像信号が480i, 1080i, 480p, 720pのいずれであっても、有効走査線数1440本のインターレース(1440i)または有効走査線数1440本のプログレッシブ(1440p)にフォーマット変換することを特徴とする。図1は1440iまたは1440pにフォーマット変換するための具体的構成を示している。以下説明する本実施形態では、最も好ましい実施形態として、入力映像信号を480i, 1080i, 480p, 720pの4種類としているが、本発明の映像表示装置としては、これらの映像信号全てを入力映像信号とする必要はない。本発明は、その内の任意の2つ以上の組み合わせを入力映像信号とする場合に適用できる。

【0012】

図1において、図示していない映像信号の供給源より供給された480iの映像信号は、I-P変換部1のI-P変換器11に入力されて480pのプログレッシブ信号に変換される。図示していない映像信号の供給源より供給された1080iの映像信号は、I-P変換部1のI-P変換器12に入力されて1080pのプログレッシブ信号に変換される。インターレース信号をプログレッシブ信号に変換するのは、フィールド内の情報量を増やし、後段の拡大縮小部2における拡大縮小処理をより高画質に行うためである。

【0013】

本実施形態では、I-P変換器11, 12においてプログレッシブ信号に変換するましたが、実際に倍の走査線密度とするのではなく、プログレッシブ信号にするための補間データをバッファ等に保存してプログレッシブ相当の信号を生成するだけでもよい。要するに、480p, 1080pの走査線数の信号となっていればよい。

【0014】

I-P変換器11より出力された480pの信号は、拡大縮小部2の6/2変換器21に入力される。I-P変換器12より出力された1080pの信号は、拡大縮小部2の4/3変換器23に入力される。図示していない映像信号の供給源より供給された480pの映像信号は、そのまま6/2変換器21に入力される。図示していない映像信号の供給源より供給された720pの映像信号は、拡大縮小部2の2/1変換器22に入力される。

【0015】

ここで、図示していない映像信号の供給源とは、例えば、デジタルテレビジョン放送の受信部や、ビデオテープレコーダあるいはビデオディスクプレーヤ等の外部機器である。入力された映像信号のフォーマットを判別し、切換器（スイッチ）を用いて、480iであればI-P変換器11に、1080iであればI-P変換器12に、480pであれば6/2変換器21に、720pであれば2/1変換器22にそれぞれ選択的に供給する。

【0016】

拡大縮小部2の6/2変換器21, 2/1変換器22, 4/3変換器23は、入力された480p, 720p, 1080pそれぞれの信号の走査線数をそれぞれ6/2倍, 2/1倍, 4/3倍して、1440pの信号に変換するためのものである。本実施形態では、480p, 720p, 1080pの信号に対する処理は全て拡大であるので、縮小処理は必要ないが、種々の表示様（縮小表示等）を考慮して、拡大縮小部と称している。図2は、480p, 720p, 1080pの信号を1440pに走査線変換する様子を示している。図2に示すように、480p, 720p, 1080pから1440pへの変換においては、走査線数はそれぞれ3倍, 2倍, 4/3倍である。

【0017】

よって、拡大縮小部2におけるフォーマット変換のための走査線変換処理は全て拡大で行われ、上述したような1080iに統一する場合のような走査線変換の際の縮小による情報欠落が全くないのである。また、6/2変換器21, 2/1変換器22, 4/3変換器23を構成する補間フィルタの補間比率は簡単な整数比であるため、フィルタ係数を簡易に構成することができる。よって、6/2変換器21, 2/1変換器22, 4/3変換器23のハードウェア規模はさほど大きくならない。

【0018】

これについて1080iに統一した場合と比較して具体的に説明する。それぞれのフォーマットにおける補間位相、即ち、入力信号に対する1440pの位置は、

$$480p \rightarrow \{0, 1/3, 2/3\}$$

$$720p \rightarrow \{0, 1/2\}$$

$$1080p \rightarrow \{0, 3/4, 1/2, 1/4\}$$

となり、拡大縮小部2は、それぞれの補間位相分の補間フィルタを備えればよい

【0019】

一方、1080iに統一した場合した場合には、

$$480p \rightarrow \{0, 4/9, 8/9, 3/9, 5/9, 2/9, 6/9, 1/9\}$$

$$720p \rightarrow \{0, 2/3, 1/3\}$$

となり、1440pに統一した場合と比較して非常に多くの補間位相が発生してしまう。

【0020】

1440pに統一した場合には、上記のように、6組の補間フィルタで拡大縮小部2を構成することができるため、補間フィルタとして、乗算器を用いなくとも加算器を用いるだけで精度よく小規模で実現することが可能である。一方、1080pに統一した場合には、10組もの補間フィルタを必要とするので、演算精度が高くフィルタ係数の自由度が大きい乗算器を用いた構成とすることが必要

となる。よって、ハードウェア規模が大きくなる。これに加え、分母に9という位相を持つため補間精度も悪くなってしまう。

【0021】

図3を用いて、本発明によりハードウェア規模を小さくできることについて説明する。図3では、係数 $\{1/2, 1/2\}$ の補間フィルタを例にしている。図3(A)と図3(B)とで、同一機能部分には同一符号が付してある。図3(A)は、補間フィルタを遅延器4と加算器5とで構成した場合を示している。なお、図3(A)の加算器5は $1/2$ 加算器である。この図3(A)に示す補間フィルタと同等のフィルタは、図3(B)に示すように、遅延器4と加算器5と乗算器6, 7でも実現することができる。なお、乗算器6, 7は入力信号を $1/2$ 倍にして出力するものである。

【0022】

図3(B)に示す構成で演算精度を図3(A)と同一にした場合、ハードウェア規模は33倍程度必要となる。なぜならば、入力信号を8ビットとすると、入力信号8ビット×係数8ビットの乗算器は加算器が16個必要であるからである。なお、図3(A)の構成は係数に自由度はないが、ビット精度内で自由に係数を与えることができる。

【0023】

このように、フォーマットを1440pに統一する本発明においては、拡大縮小部2の補間フィルタを加算器で実現できるので、ハードウェア規模を小さくすることができる。また、たとえ1080pに統一する場合において補間フィルタを加算器で実現したとしても、1440pに統一する本発明の方がハードウェア規模は小さくなる。このように、フォーマットを1440pに統一する本発明では、1080pに統一する場合よりもそもそもハードウェア規模を小さくすることができ、補間フィルタを加算器で構成することもできるため、さらにハードウェア規模を小さくすることができる。このように、

【0024】

また、本発明では、高精度で画質劣化の少ない補間が可能である。1080pに統一する場合のように補間フィルタの位相が多岐に渡る場合、位相によって画

質に大きな差が生じるため、結果として画質劣化を伴うこととなる。これは、位相が0または1の近傍が最も原信号に近い成分を保存し、周辺原信号を混合する位相1/2の近傍が最も高域成分が落ちるためである。1つの画像の中に多くの補間位相が存在すると、高域成分の有無により補間縞を発生してしまう。従って、多くの補間位相が必要となる1080p(1080iも同様)への変換と比較して、少ない補間位相でよい1440p(1440iも同様)への変換は、画質劣化が少なく、高画質となる。

【0025】

ところで、図2において、480p, 720p, 1080pから1440pへの走査線変換の補間位相について説明したが、原画素をそのまま出力することになる位相0の出力画素は、他の補間画素に比べて高帯域成分を持つてしまう。そこで、拡大縮小部2における走査線変換処理は、図4に示すように、補間位相を一様にオフセットさせるようとする。補間位相をずらすことにより、ラインフリッカ等の画質劣化を防ぐことができる。図4のように補間位相をずらすことは、補間フィルタの係数を適宜に設定することによって容易に実現できる。

【0026】

なお、図4のように補間位相をずらすことによって画質のシャープさが多少失われたとしても、1440pまたは1440iの信号とした後に高域成分を補償するエンハンサ等によって画質を制御することが可能であるので、問題となることはない。

【0027】

再び図1に戻り、拡大縮小部2より出力された1440pの信号は、プログレッシブ-インターレース(P-I)変換部3に入力される。なお、本発明の映像信号処理装置が1440pの信号を出力したり、本発明の映像表示装置が1440pの信号を表示する場合には、P-I変換部3は不要となる。本実施形態では、最終的に1440iの信号を出力する場合について示す。P-I変換部3は、入力された1440pの信号をインターレース変換して1440iの信号を出力する。

【0028】

即ち、図5に示すように、1440pの信号の走査線を2本の走査線毎に1本間引き、フィールド毎にその間引き位相を1走査線分（1ライン）オフセットさせる。これにより、1440pのプログレッシブ信号は、第1フィールド及び第2フィールドとでインターレースした水平周波数45kHzを有する1440iのインターレース信号となる。1440iの信号は、映像信号処理装置から外部へと出力されたり、映像表示装置のCRT等の表示部にて表示される。なお、映像表示装置の場合には、P-I変換部3の出力は、表示部を駆動するための駆動回路に供給され、駆動回路が表示部を駆動して映像を表示する。

【0029】

表示部としてCRTを用いた映像表示装置の場合、720pの信号を表示することができる偏向回路をベースとして用い、垂直偏向の位相を信号処理の出力位相に合わせてオフセットして1440iの信号を表示すればよい。よって、本発明の映像表示装置は、既存の駆動回路（偏向回路等）を若干改良するだけで実現することができる。インターレース対応のドットマトリクス型の表示装置であっても、信号処理の出力フィールドに合わせて信号を書き込むことにより、1440iの信号を表示することができる。よって、本発明の映像表示装置は、大幅なコストアップなく実現可能である。

【0030】

さらに、I-P変換部1において、前述のように、入力された480iまたは1080iの信号を実際に倍の走査線密度とするのではなく、プログレッシブ相当の信号を生成するだけとした場合には、次のような利点を有する。この場合、拡大縮小部2以降の回路は、720pフォーマットと同等の74.25MHzのクロックレートで全ての処理がなされることになる。1080iフォーマットのクロックも720pと同じ74.25MHzであるから、信号処理上、上720p, 1080i, 1440iの信号を同一クロックで処理することができる。

【0031】

このように、クロックを統一した場合には、水平周期や水平有効画素は720pと同等の1280画素となる。1080iの水平有効画素は1920画素であるから、74.25MHzで処理すると水平有効画素は本来の1920画素から

1280画素に減るが、民生のテレビジョン受像機やドットマトリクス型の表示装置においては実用上、1280画素もあれば十分である。勿論、1440iに変換した際の水平有効画素を1920画素とするよう、P-I変換部3の出力のクロックレートを増やしてもよい。

【0032】

以上のようにして、本発明の映像表示装置においては、映像信号のフォーマットを1440i（または1440p）に統一したので、ハードウェア規模の小さな補間フィルタで、単一のフォーマットに変換することが可能となる。本発明は、この基本的な効果に加え、次のように、マルチ画面を極めて高画質に表示することができるという効果も奏する。図6～図8を用いてマルチ画面を表示する場合について説明する。

【0033】

図6（A）は、アスペクト比16：9の画面の左端部に、1440iのアスペクト比4：3の画面①を表示し、その残りの部分に、480iのアスペクト比4：3の画面②～④を表示した場合を示している。1440iのフォーマットは、 $480i \times 3$ であるから、480iの画面をそのまま垂直方向に並べて表示することができる。この場合、画面②～④は、水平方向の画素は周期的に間引かれて、映像の大きさは水平方向1/4に縮されるが、垂直方向では周期的に走査線を間引く必要がない。当然のことながら、走査線を増加させもしない。よって、垂直方向では元の映像そのままの画質となり、画質劣化がない。画面①と画面②～④の位置は逆であってもよい。

【0034】

画面②～④として、480pのアスペクト比4：3の画面を表示してもよい。この場合は、プログレッシブ信号である480pの信号をインターレース信号に変換すればよく、画質劣化は極めて小さい。

【0035】

なお、画面①の1440iの映像は、上記のように、480i, 1080i, 480p, 720pのいずれかの信号を1440iに変換したものである。1080i, 720pの映像は、アスペクト比1.6：9のワイド映像であるのが一般

的であるが、この場合には、次のように処理すればよい。

【0036】

1080iの場合には、走査線数はそのままで、1080iの信号を1440iのフォーマットに変換し、その上下部にそれぞれ180iの黒またはグレーの無画像信号を付加して、走査線数1440本の1440iの信号に変換する。720pの場合には、1080iに変換し、同様に、1080iの信号を1440iのフォーマットに変換し、その上下部にそれぞれ180iの黒またはグレーの無画像信号を付加して、走査線数1440本の1440iの信号に変換する。

【0037】

図6（B）は、アスペクト比16：9の画面の略中央部に、720pの信号をインターレース信号に変換した720iのアスペクト比16：9の画面⑤、⑥を垂直方向に並べて表示した場合を示している。この場合も、プログレッシブ信号をインターレース信号に変換するだけであるので、画質劣化は極めて小さい。図6（C）は、アスペクト比16：9の画面を12分割し、それぞれの分割画面に480iの画面a～1を表示したものである。この場合も、画面a～1は、水平方向は縮小により画素が周期的に間引かれるが、垂直方向では走査線を周期的に間引く必要がないので、垂直方向では元の映像そのままの画質となり、画質劣化がない。

【0038】

図7を用いて、以上のようなマルチ画面を実現する映像信号処理装置の構成例について説明する。図7に示す構成例は、同時に最大で動画を4画面表示するマルチ画面を実現する場合を示している。入力1～4は、480i, 1080i, 480p, 720pのいずれかの信号である。入力1～4は、I-P変換部10のI-P変換器101～104にそれぞれ入力される。入力1～4は、切換部4の切換器401～404にも入力される。切換器401～404は、I-P変換器101～104の出力と入力1～4とを、切換制御信号（SWCTL）に応じて選択的に切り換えて出力する。

【0039】

前述のように、入力1～4として入力された映像信号が480iや1080i

のようにインターレース信号であれば、I-P変換器101～104によってプログレッシブ信号に変換して後段の拡大縮小部20に供給する必要がある。入力1～4として入力された映像信号が480pや720pのようにプログレッシブ信号であれば、そのまま後段の拡大縮小部20に供給する必要がある。切換器401～404は、入力信号に応じてI-P変換器101～104の出力を用いるか、入力信号をそのまま用いるかを切り換えるためのものである。なお、切換制御信号(SWCTL)は、入力1～4のフォーマットを判別することにより容易に生成することができる。

【0040】

切換部40の出力は拡大縮小部20に入力される。拡大縮小部20は、水平拡大縮小器201H～204Hと、垂直拡大縮小器201V～204Vとを備える。垂直拡大縮小器201V～204Vは、図1における拡大縮小部2と同じ構成を有する。即ち、垂直拡大縮小器201V～204Vは、それぞれ、6/2変換器21と2/1変換器22と4/3変換器23を備える。但し、垂直拡大縮小器201V～204Vは、マルチ画面の態様によっては、1440pには変換せず、入力信号をそのまま出力することもある。水平拡大縮小器201H～204Hは、それぞれのマルチ画面に応じて水平方向を拡大もしくは縮小する。

【0041】

図6(A)の例において、図7の入力1～4が画面①～④に対応しているとすると、垂直拡大縮小器201Vは入力1を1440pに変換し、垂直拡大縮小器202V～204Vは入力2～4を1440pに変換せず、480pのまま出力する。図6(B)の例において、図7の入力1, 2が画面⑤, ⑥に対応しているとすると、垂直拡大縮小器201Vは入力1, 2を1440pに変換せず、720pのまま出力する。水平拡大縮小器201H～204Hにおける水平方向の縮小はそれぞれの画面の大きさに応じたものである。図6(C)のマルチ画面を実現する方法については後述する。

【0042】

拡大縮小部20より出力された1440p(場合によっては、480pや720p)の信号は、P-I変換部30のP-I変換器301～304に入力される

P-I変換器301～304は、入力されたプログレッシブ信号をインターレース信号に変換する。なお、ここでは図示を省略しているが、P-I変換器301～304には、フィールド信号が供給され、P-I変換器301～304はフィールド信号に基づいてP-I変換する。

【0043】

P-I変換器301～304の出力は、画面合成部50に入力される。画面合成部50は、P-I変換器301～304の出力を合成して、マルチ画面とされた1440iの映像信号を出力する。

【0044】

次に、図8を用いて、本発明の映像表示装置のさらに具体的な構成について説明する。図8において、アンテナ121より入來したテレビジョン放送の信号波（I F信号）は、チューナ122、123に入力される。チューナ122、123には、図示していない制御部よりチャンネル切換信号が供給され、それぞれ、所定のチャンネルに同調して検波信号を出力する。チューナ122、123より出力された検波信号は、復調部124、125に入力されて復調等の処理がなされ、映像信号として出力される。

【0045】

一方、外部入力端子126、127からは、図示していないビデオテープレコーダあるいはビデオディスクプレーヤ等の外部機器からの映像信号が入力される。ここでは外部入力端子を2つしか示していないが、3つ以上であってもよい。外部入力端子126、127から入力された映像信号はスイッチ128を介してスイッチ129に入力される。スイッチ128は外部入力端子が3つ以上の場合に、その内の2つを選択するために設けているものであり、外部入力端子が2つであれば、省略可能である。

【0046】

スイッチ129は、復調部124、125とスイッチ128より出力された4つの信号を、マルチ画面処理部1000に供給する。マルチ画面処理部1000は、図7に示す構成である。スイッチ129の4つの出力は、図7における入力1～4に相当する。スイッチ129は、入力1～4をマルチ画面でどのように配

置するかを切り換えるためのものである。マルチ画面処理部1000の出力はアスペクト比16:9の表示部130に供給される。表示部130は駆動部131によって駆動される。

【0047】

図8の構成では、チューナ122, 123と外部入力端子126, 127がそれぞれ映像信号供給源となっている。これら4つの映像信号供給源それより映像信号をマルチ画面処理部1000に供給すれば、図6(A), (B)で説明したマルチ画面を全て動画にて表示することができる。後の説明より分かるように、マルチ画面処理部1000の画面合成部50は、上記の映像信号供給源からの映像信号を基にした静止画である映像信号を供給する映像信号供給源にもなっている。

【0048】

以上の例では、マルチ画面を動画にて表示する場合を説明したが、マルチ画面の全てまたは一部を静止画としてもよい。図8の構成におけるチューナ122, 123より出力された映像信号のみによって、図6(A)のマルチ画面を実現する例について説明する。チューナ122より出力された映像信号を、図7に示す構成であるマルチ画面処理部1000によって1440iに変換し、図6(A)の画面①として表示する。

【0049】

一方、チューナ123では、チャンネル切換信号によって、所定時間毎に受信チャンネルを巡回的に順次切り換える。これによって、チューナ123より出力される映像信号は所定時間毎に切り換えられることになる。図8に示すように、マルチ画面処理部1000の一部を構成する画面合成部50はメモリ51を備えている。メモリ51は、少なくとも、チャンネル切換前の過去2チャンネル分の映像信号を静止画として記憶する。そして、図6(A)の画面②～④のいずれかに現在の受信チャンネルの映像信号を動画として表示し、他の2つの画面には、メモリ51に記憶した静止画を表示する。

【0050】

図6(C)の場合も、同様の処理によってマルチ画面を実現することができる

。この場合は、一方のチューナのみ（例えばチューナ122）を用い、チャンネル切換信号によって、所定時間毎に受信チャンネルを巡回的に順次切り換える。メモリ51は、少なくとも、チャンネル切換前の過去11チャンネル分の映像信号を静止画として記憶する。図6（C）の画面a～1を例えればチャンネル1～12に割り当て、現在の受信チャンネルの映像信号をその割り当てられた画面に動画にて表示し、残りの画面には、メモリ51に記憶した静止画を表示する。

【0051】

ところで、図6（A）～（C）のマルチ画面の表示例において、それぞれのマルチ画面を1440i, 480i, 720iと表現したが、これらは、必ずしも、全ての有効走査線がそれぞれの画面として表示されていることを意味するものではない。即ち、CRTを用いた表示部では周知のようにオーバースキャンによって上下端部の一部の映像は視覚上表示されず、CRT以外の表示部においても同様に全ての有効走査線が表示されるものではない。また、マルチ画面の水平方向や垂直方向に並べる際、水平方向や垂直方向の端部の一部の映像（画素、走査線）を削除することもある。このような位置合わせのための映像の一部の削除は、周期的な間引きによる映像の縮小とは異なるものである。

【0052】

本発明は、駆動部131が、480iの映像信号の走査線を周期的に間引くことなく、かつ、走査線を増加させることなく、480iの映像信号の実質的に全ての走査線を1440iの映像信号の一部として割り当てて、表示部130に表示するという点も特徴の1つである。また、駆動部131が、動画または静止画である3つの480iの映像信号の走査線を周期的に間引くことなく、かつ、走査線を増加させることなく、この3つの映像信号の実質的に全ての走査線を1440iの映像信号に割り当てるにより、3つの480iの映像信号を垂直方向に並べて、表示部130に表示するという点も特徴の1つである。

【0053】

以上より分かるように、1440iまたは1440pは、ハードウェア規模の増大を極力抑えつつ、現在存在する480i, 1080i, 480p, 720pの全てを高画質で表示できるという点で実用上極めて優れたフォーマットである

と言える。また、マルチ画面を高画質で表示できるという点でも、極めて優れたフォーマットである。

【0054】

【発明の効果】

以上詳細に説明したように、本発明の映像表示装置は、以上の構成により、複数のフォーマットの入力映像信号を、実用上最も優れた单一のフォーマットに変換することができる。また、ハードウェア規模や信号処理の煩雑さの増大を最小限に抑えつつ、極めて高画質の映像を表示することができる。さらに、マルチ画面を極めて高画質に表示することができる。

【図面の簡単な説明】

【図1】

本発明で用いる映像信号処理装置の構成例を示すブロック図である。

【図2】

480p, 720p, 1080pから1440pへの走査線変換を示す図である。

【図3】

補間フィルタの構成例を示すブロック図である。

【図4】

480p, 720p, 1080pから1440pへの走査線変換における位相のオフセットを示す図である。

【図5】

P-I変換を示す図である。

【図6】

マルチ画面の表示例を示す図である。

【図7】

図6に示すマルチ画面を実現する場合の映像信号処理装置の構成例を示すブロック図である。

【図8】

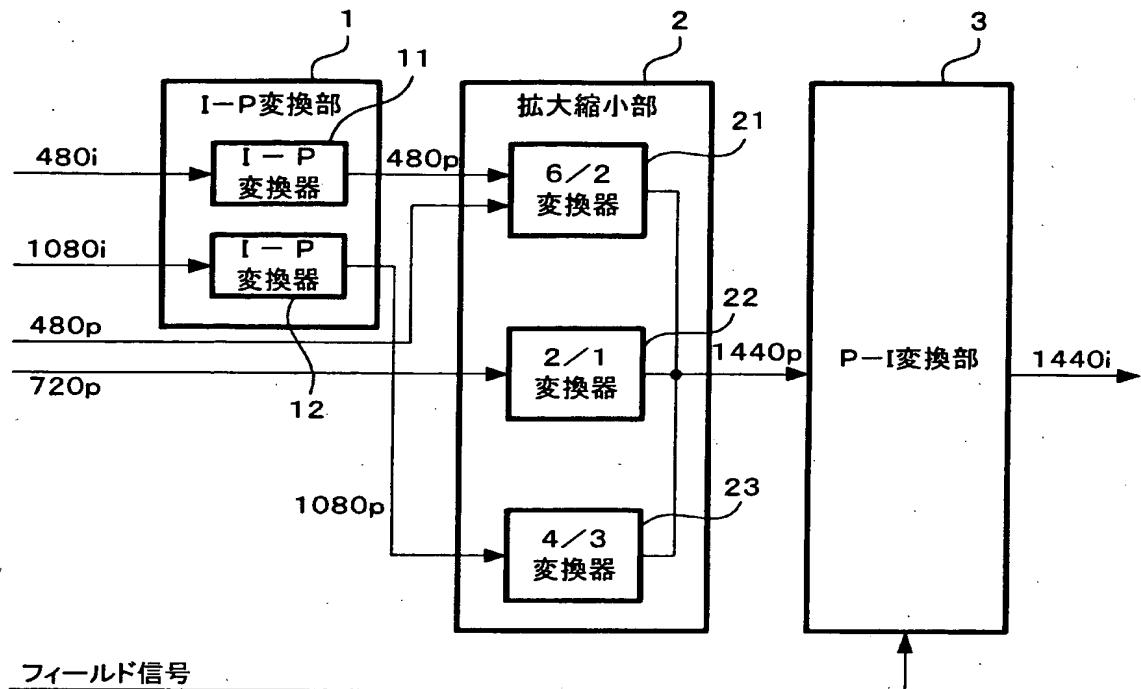
本発明の一実施形態を示すブロック図である。

【符号の説明】

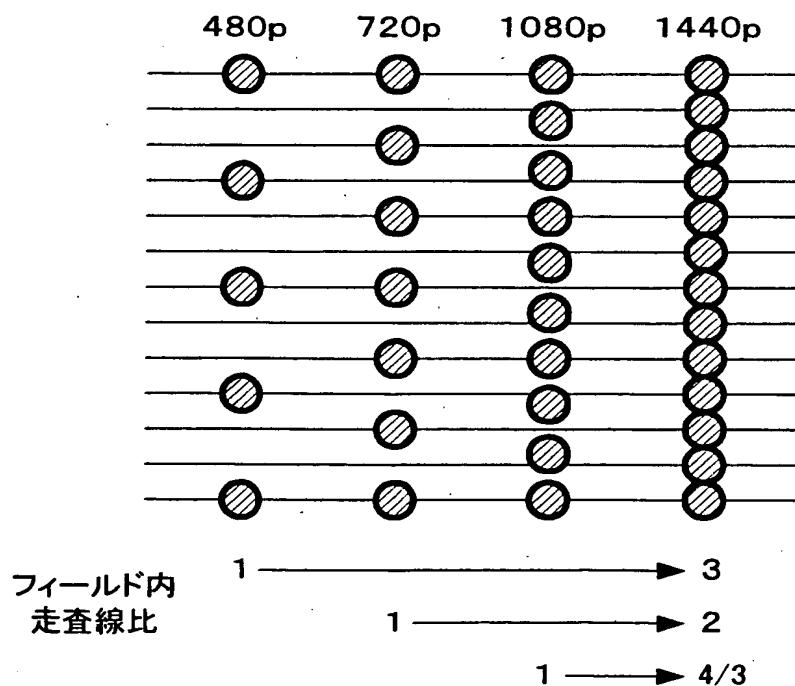
- 1, 10 インターレース-プログレッシブ変換部（I-P変換部）
2, 20 拡大縮小部
3, 30 プログレッシブ-インターレース変換部（P-I変換部）
11, 12, 101~104 I-P変換器
21 6/2変換器
22 2/1変換器
23 4/3変換器
40 切換部
50 画面合成部
122, 123 チューナ
124, 125 復調部
126, 127 外部入力端子
128, 129 スイッチ
130 表示部
131 駆動部
201H~204H 水平拡大縮小器
201V~204V 垂直拡大縮小器
301~304 P-I変換器
401~404 切換器
1000 マルチ画面処理部

【書類名】 図面

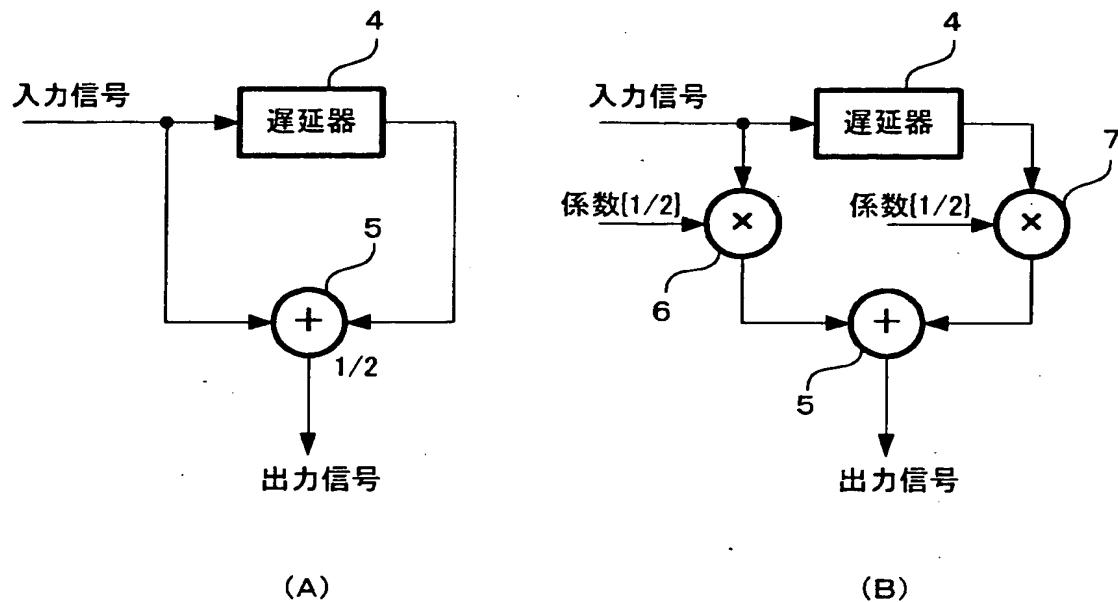
【図1】



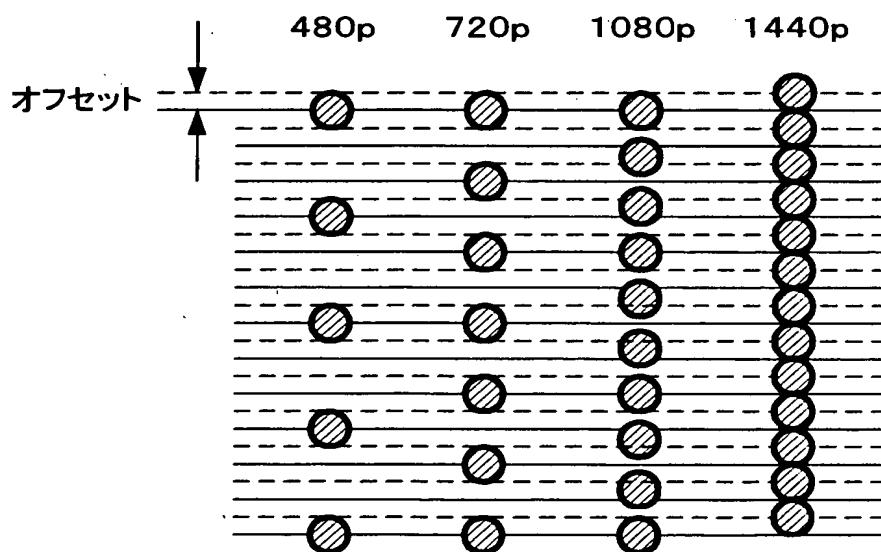
【図2】



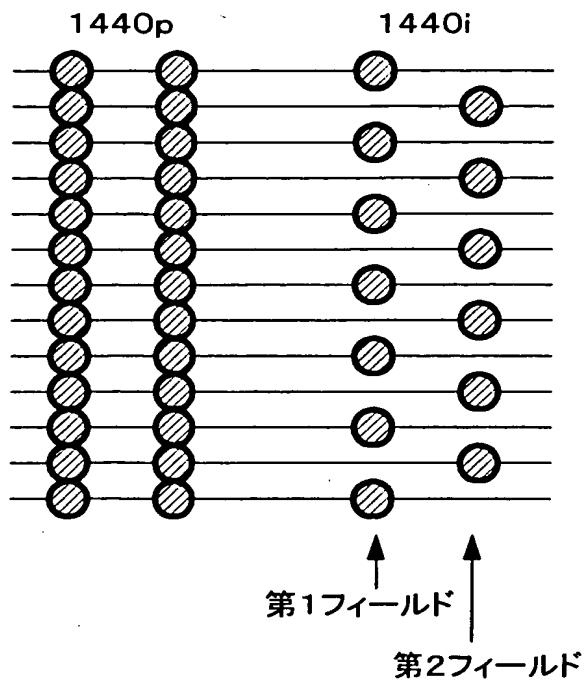
【図3】



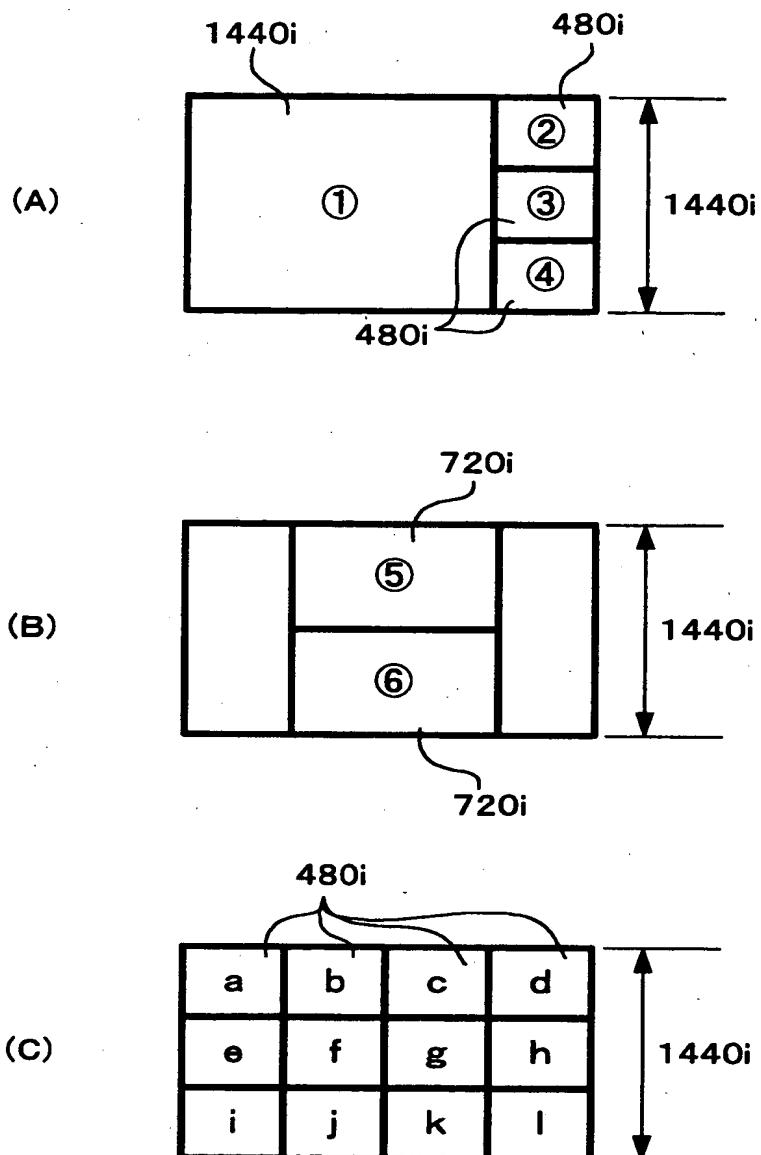
【図4】



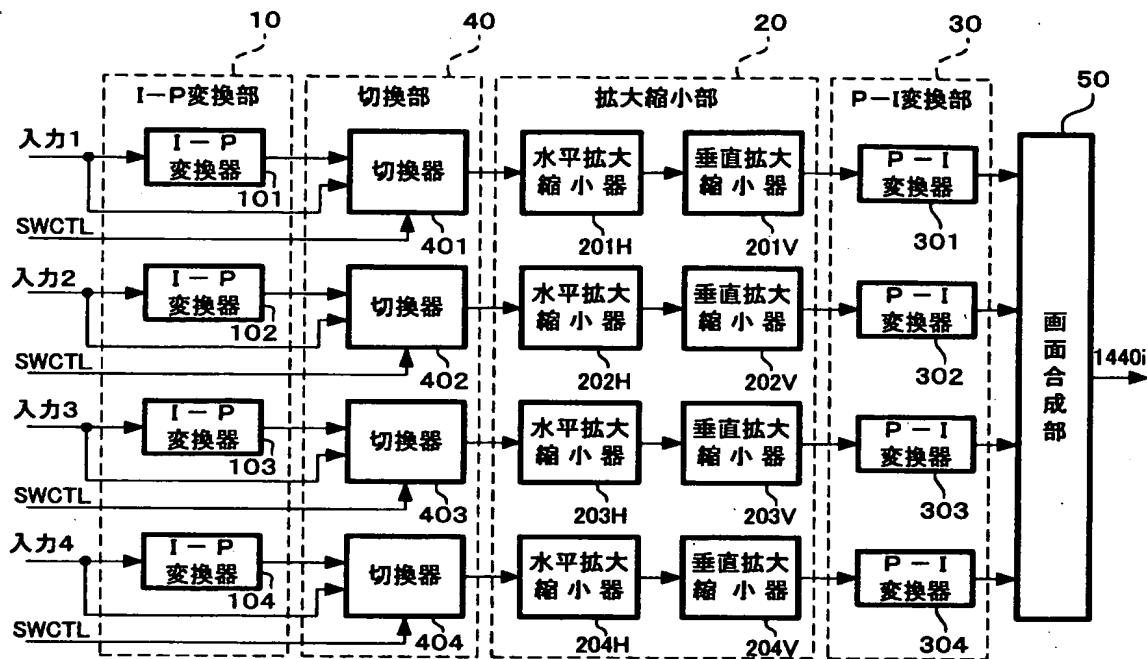
【図5】



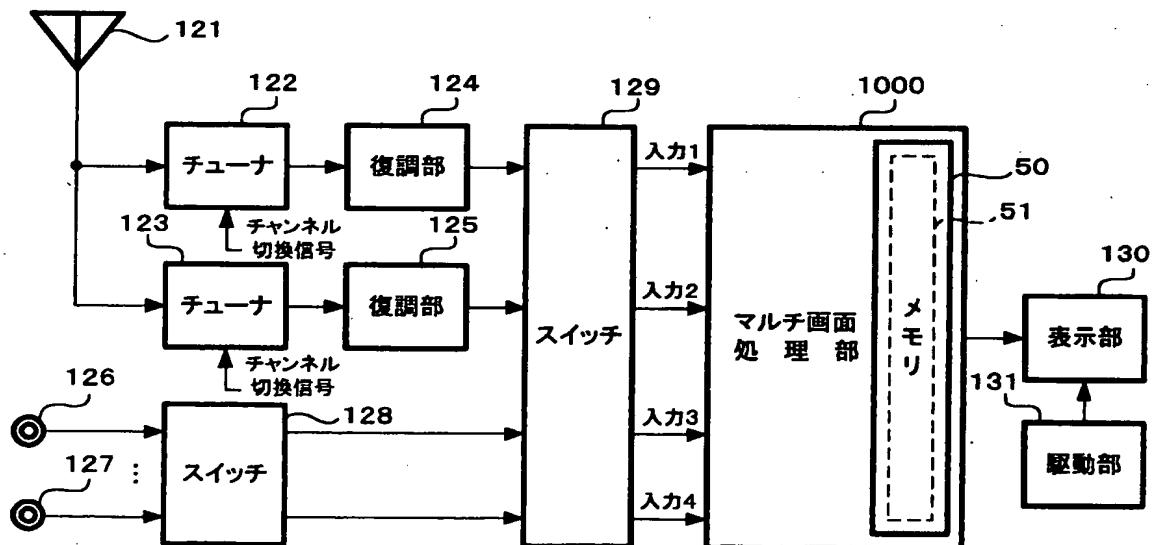
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 複数のフォーマットの入力映像信号を、ハードウェア規模や信号処理の煩雑さの増大を最小限に抑えつつ、マルチ画面として極めて高画質に表示することができる映像表示装置を提供する。

【解決手段】 入力された映像信号を有効走査線数1440本のインターレース信号(1440i)に変換し、画面①として表示する。残りの領域に、有効走査線数480本のインターレース信号(480i)の走査線を周期的に間引くことなく、水平方向の画素を周期的に間引いて水平方向に縮小し、画面②～④として表示する。画面②～④は、走査線を間引かないので、垂直方向では元の映像そのままの画質となり、画質劣化がない。

【選択図】 図6

出願人履歴情報

識別番号 [000004329]

1. 変更年月日 1990年 8月 8日

[変更理由] 新規登録

住 所 神奈川県横浜市神奈川区守屋町3丁目12番地

氏 名 日本ビクター株式会社